

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-023645
(43)Date of publication of application : 28.01.1992

(51)Int. Cl. H04L 12/48

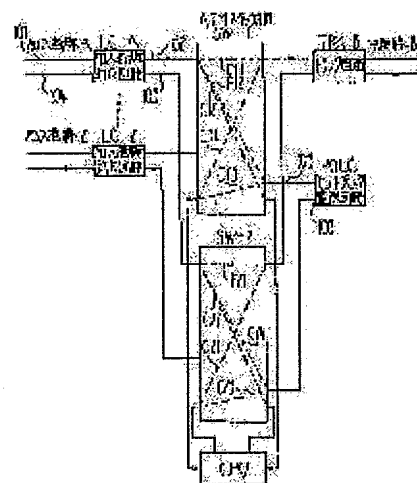
(21)Application number : 02-129566 (71)Applicant : NEC CORP
(22)Date of filing : 18.05.1990 (72)Inventor : SATO SHOHEI

(54) CELL TRAFFIC MONITOR SYSTEM

(57)Abstract:

PURPOSE: To economize the system by arranging a cell traffic monitor circuit to output terminals of an ATM switch network in common in place of arranging the circuit corresponding to each subscriber line.

CONSTITUTION: Control information and signal information between a subscriber terminal equipment and a central processing unit(CPU), between an opposite station and the CPU, between the CPU and a subscriber line adaptor circuit (LC), between the LC and a POLC and between the POLC and the CPU are sent/received in a form of a cell through switch networks SW-1, SW-2. The user information and the control information are identified by using a VCI (virtual channel identifier) in the original cell information and a fixed VCI is assigned to the control information and the signal information. When a new call takes place through a subscriber line A, the dial information is sent from the subscriber line A to the CPU. The CPU implements a similar processing to that of normal connection of a telephone call and decides whether or not the call is subject to cell traffic monitor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



特願2002-314498号

F1409

①

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-23645

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月28日

H 04 L 12/48

7830-5K H 04 L 11/20

Z

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 セルトラヒック監視方式

⑯ 特 願 平2-129566

⑰ 出 願 平2(1990)5月18日

⑱ 発 明 者 佐 藤 昌 平 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

セルトラヒック監視方式

特許請求の範囲

複数のATM(非同期伝送方式)回線を収容し任意のATM回線に含まれる任意の仮想チャネルを他の回線に接続する機能を有するATMスイッチ網を備えるATM交換機において;前記スイッチ網は前記仮想チャネルを前記他の回線に接続すると同時に前記スイッチ網の別の端子にも分岐接続する多重接続機能を有し;ATM回線対応にATM回線から入力する指定された仮想チャネル識別子を持つセルを通過させるか廃棄するかを選択する回線対応回路を有し;前記スイッチ網の前記別の端子には接続された前記仮想チャネル上のセルトラヒックが予め設定されている特性値を超えているか否かを判定するセルトラヒック監視回路を接続し;前記監視回路は前記仮想チャネル上

のトラヒックが設定されている特性値を超えていることを判定した場合に前記スイッチ網を通して前記回線対応回路に特性値の超過を通知して前記仮想チャネル上のセルをすべて廃棄させることを特徴とするセルトラヒック監視方式。

発明の詳細な説明

[産業上の利用分野]

本発明はATM(非同期伝送方式)交換機におけるセルトラヒック監視方式に関する。

[従来の技術]

通常、ATM方式では、1つのATM回線には複数の仮想チャネル(VC)が多重化されている。1つのVCのセル速度は時間的に一定の場合(これをCBO:Continuous Bit Stream Orientedと称す)とそれが変動する場合(バースト的)とが想定されている。それぞれの性質を持つ呼をCBO呼及びバースト呼と呼ぶ。すべてのVCがCBO呼を運んでいるならば、1つのATM回線に多重できるVCの最大数は、各VC

のセル速度の合計がそのATM回線容量(セル速度)を超えないという条件により決定される。バースト呼が多重される場合については、バースト呼の最大セル速度と平均セル速度を用いて最大多重呼数(VC数)を決定する方法が提案されている(参考文献:村瀬他による「ATM網におけるバーストラヒックの多重制御方法」1989年電子情報通信学会、秋季全国大会論文)。

何れの場合でも、その呼のセルトラヒックの特性パラメータ(CBO呼の場合はセル速度、バースト呼の場合には一例として最大セル速度及び平均セル速度)は、呼を設定する場合に呼毎にこれを決定する必要がある。ATM交換機がこれを知る方法はいくつか考えられる。例えば、発呼時に発呼端末から信号メッセージにより申告させる方法がある。他の例ではある加入者線からの発呼はすべて予め契約等により決められたパラメータを持つような形態もある。呼毎に特性パラメータが決定され、通信が開始された後であるVCを流れるセルトラヒックがその特性値を超えると、その

VCの通っているATM回線、またATM交換機内の線路が輻輳となり、同一回線上、同一ATM交換機内経路上の他のVCのセルトラヒックが悪影響(セル遅延時間の増大、セル廃棄の増大)を受ける。かかる悪影響の発生を防止する為に、加入者線上において申告されている特性パラメータを超えるセルトラヒックが流入しているか否かをチェックする機能(通常これをポリシング機能と云う。参考文献:W. Kowalk他による「The Policing Function to Control User Access in ATM Networks」、ISSLS'88、論文12.2)

〔発明が解決しようとする課題〕

加入者線が150Mbpsと云う様な大容量のものである場合、そこには1つのVCではなく複数のVCが多重化されると考えるのが普通であり、場合によっては数10～数100の多重度を持つ場合も考えられる。上述した従来のポリシング機能は、加入者線一本に対してそこに多重化されているVC全体に対して監視するのみでは不十

分であり、最も厳密にはすべてのVC1つづつに対してその特性パラメータが守られているかを監視する必要があるが、加入者線のすべてに数10～数100の監視回路を固定的に設備するのは不経済化を招く問題がある。

〔課題を解決するための手段〕

本発明のセルトラヒック監視方式は、複数のATM(非同期伝送方式)回線を収容し任意のATM回線に含まれる任意の仮想チャネルを他の回線に接続する機能を有するATMスイッチ網を備えるATM交換機において、前記スイッチ網は前記仮想チャネルを前記他の回線に接続すると同時に前記スイッチ網の別の端子にも分岐接続する多重接続機能を有し、ATM回線対応にATM回線から入力する指定された仮想チャネル識別子を持つセルを通過させるか廃棄するかを選択する回線対応回路を有し、前記スイッチ網の前記別の端子には接続された前記仮想チャネル上のセルトラヒックが予め設定されている特性値を超えているか否かを判定するセルトラヒック監視回路を接続

し、前記監視回路は前記仮想チャネル上のトラヒックが設定されている特性値を超えていることを判定した場合に前記スイッチ網を通して前記回線対応回路に特性値の超過を通知して前記仮想チャネル上のセルをすべて廃棄させる構成である。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の全体構成を示す。第2図は第1図中の加入者線回路の詳細構成を示し、第3図は第1図中のセルトラヒック監視回路の詳細構成を示す。また、第4図は同実施例のシステム内部でのセルフォーマットを示し、伝送路上のセルは同図中の原セル情報として含まれている。

第1図～第4図を参照すると、SW-1、SW-2はATMセルスイッチ網であり、第4図のセルフォーマットの出端子番号により示される端子へそのセルを自己ルーティングにより接続する機能と、セルの監視回路番号(CKNO)が“0”以

外の場合には同じセルを複製してPOLC端子へ接続する機能とを有する。CKNOが“0”のセルはセルトラヒック監視回路(POLC)へ接続されない。P11, P12, P21は通信のユーザー情報を接続するバスを示している。一方、この実施例においては加入者端末と中央処理回路(CPU)間、相手局とCPU間、加入者線対応回路(LC)とCPU間、LCとPOLC間、POLCとCPU間の制御情報及び信号情報もすべてスイッチ網SW-1, SW-2を通してセルの形で送受される。ユーザー情報と制御情報との識別は、第4図に示す原セル情報の中のVCI(仮想チャネル識別子)により行われ、制御情報及び信号情報には固定VCIが割り当てられる。信号情報と制御情報の送受はすべて上述の方法により行われるので、以降単に“送/受”すると簡単に記載する。

加入者線Aを通して新たな呼が生起すると、発呼情報が加入者線AからCPUへ送られる。CPUは通常の電話呼を接続するのと同様の処理

を行うと同時に、この呼のセルトラヒック監視を行うか否かを決定する。この決定方法には、n呼毎に1つの呼をチェックする方法及び最高セル速度が一定値以上の呼のみチェックする方法等があるが、何れを採用してもよい。CPUは新たに発呼した呼のセルトラヒック監視を行うと決定した場合には、CPUは加入者から申告された最高セル速度 V_{MAX} 、平均セル速度 V_{AVE} 、バースト継続時間 T を用いて次の値 B_{MX} を計算する。

$$B_{MX} = (V_{MAX} - V_{AVE}) \cdot T$$

CPUはその時点での空のセルトラヒック監視回路POLCを捕捉する。この番号を i とする。CPUはPOLC内の監視回路 PLC_i に上記の3つのパラメータ V_{MAX} 、 V_{AVE} 、 B_{MX} を設定する制御情報をPOLCへ送出する。POLC内の制御回路 $POLCONT$ はその情報を受け、 V_{MAX} 、 V_{AVE} 、 B_{MX} をそれぞれ最大セル速度監視回路(MAX)、平均セル速度発生回路(AVE)、カウンタ(CNT)へ設定し、 PLC_255 を起動する。CPUはLC-Aに対して該呼

($VCI \cdot K$)をチェックすべきことと、監視回路番号($CKNO \cdot i$)を通知する。LC-A内の制御回路 $CONT$ はその制御情報をCPUより受信すると、VCI制御メモリ($VCIMEM$)へ $VCI \cdot K$ 及び $CKNO \cdot i$ を書き込む。以後、加入者線101より入力されるセル(第4図中の原セル情報の部分)に含まれる“VCI”部分がセルヘッダバッファ(BUE1)に導かれ、それと $VCIMEM$ に記憶されているすべてのVCIとが比較され、一致した場合にはそのVCIに対応するCKNOをセル上に書き込む。セルバッファBLFOでは第4図の原セル情報に3バイトを追加したものが格納される。出端子番号は発呼時にCPUにより決定され、制御情報によりLC-Aへ通知され、 $VCIMEM$ のOGPフィールドに書き込まれており、これをセルに付加する。

CKNOが“0”でないセルがLC-AよりSW-1に入力されると、このセルはSW-1内で複製がつくられ、1つは出端子番号により指定される出端子へ接続され、トランク回路TRK-

Bへ送られる。他の1つはPOLCへ送られる。POLCではCKNOにより分岐され、 PLC_i へ導かれる。 PLC_i のMAXは予め設定されている最高速度 V_{MAX} を超えてセルが入力されると、これを $POLCONT$ へ通知する。 V_{MAX} 以下であると、MAXはセル入力毎にカウンタCNTを歩進する。一方、AVEは予めCPUより設定されている平均速度でCNTを減算する。CNTはカウンタ値が設定値 B_{MX} を超過すると、 $POLCONT$ へ通知する。MAX及びCNTは上述の条件が解消すると、解消したことを $POLCONT$ へ通知する。

$POLCONT$ は PLC_i から設定値超過通知を受けると、LC-Aに対しこの事実を制御情報により通知する。LC-A内の $CONT$ はこれを受信すると、 $VCIMEM$ 内の対応するINHフィールドに“1”を書き込む。それ以降、比較回路COMPはINHフィールドが“1”のVCIのセルは、SW-1へ出力することなくそこで廃棄する。 $POLCONT$ が設定値超過解消を

PLC-i から受けると、この事実を同様に LC-A の CONT へ通知し、CONT は対応する INH フィールドに "0" を書き込む。

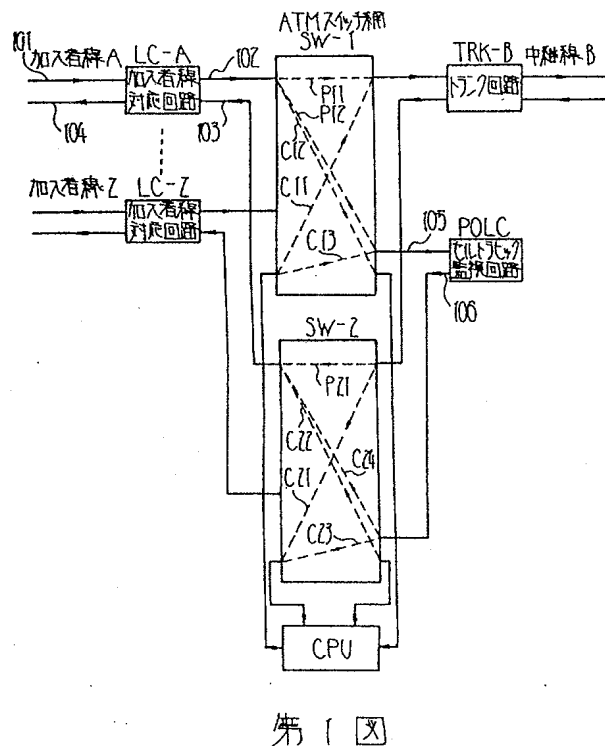
〔発明の効果〕

以上説明したように本発明によれば、加入者線対応にセルトラヒック監視回路を配置することによって代替して ATM スイッチ網の出端子側に共通配置することにより、経済化を図ることができる。

図面の簡単な説明

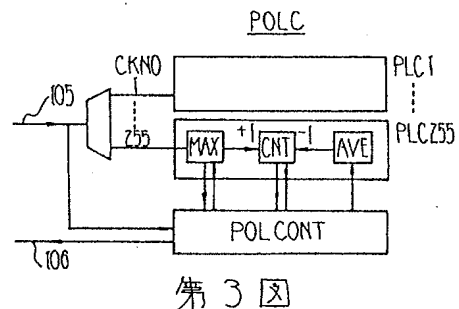
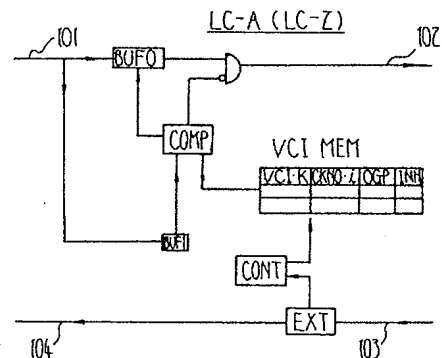
第 1 図、第 2 図、第 3 図及び第 4 図は本発明の一実施例を示す図である。

101, 104...加入者線、102, 103, 105, 106...ATM スイッチ網インタフェース線、LC-A, LC-Z...加入者線対応回路、TRK-B...トランク回路、SW-1, SW-2...ATM スイッチ網、POLC...セルトラヒック監視回路、CPU...中央処理回路、P11, P12, P21...ユーザー情報バス、C11~C13, C21~C24...制御情報/信号情報



バス、BUF0...セルバッファ、BUF1...セルヘッダバッファ、COMP...比較回路、VCI MEM...VCI 制御メモリ、CONT...制御回路、EXT...セル分岐回路、POLCONT...制御回路、PLC...監視回路、MAX...最大セル速度監視回路、AVE...平均セル速度発生回路、CNT...カウンタ。

代理人 弁理士 内 原 晋



出端子番号
CKNO
入端子番号
原セル情報

第 4 図